

---

# UNA APROXIMACIÓN PRELIMINAR AL LÍMITE DE LA TECNOLOGÍA DE SILICIO

**JUAN MIGUEL IBÁÑEZ DE ALDECOA QUINTANA**

Ingeniero Industrial del Estado

Se realizará en esta nota, por razones de espacio y simplicidad, una aproximación *preliminar* [1], para estimar el límite dimensional y temporal de la tecnología de silicio, en definitiva, para estimar hasta qué nodo tecnológico [2] podría llegarse con esta tecnología y de esta forma, hacer una previsión del fin de la Ley de Moore basada en la tecnología de silicio, en adelante solo Ley de Moore, determinando, tanto la dimensión del último nodo tecnológico, como el año en que se encontraría disponible y, por tanto, el momento concreto en el que se produciría la singularidad.

Téngase en cuenta, que montar una nueva planta de semiconductores de silicio, implica una inversión de miles de millones de euros y en cinco años está obsoleta. Además, una simple mota causa estragos. (1) Conocer de antemano el límite de la última tecnología basada en transistores de silicio, podría ayudar a mejorar la planificación de inversiones de miles de millones de euros en fábricas que en unos pocos años se quedan obsoletas -o al menos no fabrican tecnología punta- permitiendo, además, asegurar la cadena de suministro a múltiples sectores que dependen de estos componentes, a la vez que ir poniendo el foco en la futura computación cuántica, que supondría un salto de gigante respecto a la Ley de Moore. Se llevará la aproximación hasta el límite dimensional de la tecnología de silicio, esto es, hasta la dimensión misma del átomo de silicio y se utilizará el criterio de Rayleigh, para determinar si lo físicamente posible, puede ser

también técnica y económicamente viable, con la tecnología actual.

El fin de la Ley de Moore, todavía no se ha escrito. A fecha de 2021 Taiwan Semiconductor Manufacturing Company, Limited o TSMC, se encuentra trabajando en el nodo de 2 nm e IBM asegura haberlo conseguido. Cuál será el nodo final y, por lo tanto, el fin de la Ley de Moore, es decir, el momento concreto en el que se producirá la singularidad, todavía no se conoce, y solamente el futuro será el que desvele el final de esta historia, que comenzó un 19 de abril del año 1965, cuando la revista Electronics, publicó un documento elaborado por el ingeniero Gordon Moore, en el que anticipaba que la complejidad de los circuitos integrados se duplicaría cada año con una reducción de coste conmensurable. (2) El objetivo que se plantea en el presente trabajo, dando por sentado, que anticipar-

TABLA 1

Año	Dimensión Nodo	NANOELECTRÓNICA
2004	90 nm	
2006	65 nm	
2008	45 nm	
2010	32 nm	
2012	22 nm	
2014	14 nm	
2016	10 nm	
2018	7 nm	
2020	5 nm	

Fuente: Elaboración propia a partir de la información obtenida en *Electronic Design*

se al futuro, no es tarea fácil, de ahí el éxito de la Ley de Moore, *-ya que lleva cumpliéndose durante 56 años, desde el año 1965 hasta la actualidad [3], a pesar de ser una ley empírica-*, es realizar una aproximación para determinar el nodo y el año concreto en el que se produciría la singularidad, es decir, el final de la Ley de Moore basada en la tecnología de silicio, lo que obligaría, sí o sí, a obtener mayor capacidad de cómputo con otras tecnologías, como la computación cuántica. Ello no significaría que la tecnología de silicio dejase de utilizarse y que la computación clásica no siguiera siendo útil. Simplemente, significaría que el progreso en el *hardware* basado en la Ley de Moore habría terminado y que sería necesario buscar formas alternativas para el progreso en el *hardware*. Para comprender la dificultad del presente trabajo, hay que tener en cuenta que el ITRS (3), *International Technology Roadmap for Semiconductors*, el mapa de ruta de la industria tecnológica con el que las compañías mejoraban sus nodos tecnológicos, dejó de actualizarse en 2016 y fue sustituido por el IRDS, *International Roadmap for Devices and Systems*, y es un conjunto de predicciones sobre posibles desarrollos en dispositivos y sistemas electrónicos.

El IRDS (4) se estableció en 2016 y es el sucesor del ITRS. La tecnología de fabricación de circuitos integrados se basa en el concepto de nodo. Hasta el año 2012, el número que define un nodo representaba la longitud de una región del transistor denominada canal, de manera que, si se habla, por ejemplo, del nodo de 22 nanómetros [4], lo que se está indicando es que todos los transistores de un circuito fabricado en ese nodo tienen el canal con esa dimensión. La secuencia empezó en el año 1960 con el nodo de 50  $\mu\text{m}$ . Ha habido también lo que podría denominarse como nodos intermedios, como, p.ej., los nodos de 28 nm o 20 nm, eso se debe a razones de los procesos de fabricación y a las dificultades que entraña pasar de un nodo al siguiente en lo que a inversiones respecta. En términos generales, cuanto más pequeño es el nodo, más pequeño es el tamaño de los dispositivos, lo que a su vez produce transistores que son

TABLA 2

Año	Dimensión Nodo	Factor de Escalado de Dimensión
2004	90 nm	0,7
2006	65 nm	0,7
2008	45 nm	0,7
2010	32 nm	0,7
2012	22 nm	0,7
2014	14 nm	0,6
2016	10 nm	0,7
2018	7 nm	0,7
2020	5 nm	0,7

Fuente: Elaboración propia

más rápidos y por lo tanto con mayor capacidad de cómputo y más eficientes en cuanto a consumo de energía.

Para la realización del presente estudio, se parte de la tabla 1 [5], que ya sido confirmada, y que expresa la evolución de la miniaturización y en definitiva la dimensión de los diferentes nodos tecnológicos y por tanto, la propia Ley de Moore. Se parte, por tanto, ya de la nanoelectrónica [6], es decir, de nodos tecnológicos de dimensión inferior a los 100 nm, con el objetivo de intentar determinar las dimensiones del nodo tecnológico final y en qué año se encontraría disponible.

### UNA APROXIMACIÓN PRELIMINAR AL LÍMITE DIMENSIONAL Y TEMPORAL DE LA TECNOLOGÍA DE SILICIO ↓

Realizando una aproximación sobre la tabla anterior, se obtiene la tabla 2, en la que cada factor de escalado, de un nodo al siguiente, se ha obtenido dividiendo la dimensión del nodo actual entre la dimensión del nodo anterior. Se llegaría pues, redondeando a un solo decimal el factor de escalado de dimensión, a la referida tabla 2:

Por lo tanto, puede inducirse, a partir de la observación de estos datos, que cada dos años, el nodo  $n+1$  es igual al nodo  $n$ , multiplicado por un factor de escalado aproximadamente igual a 0,7:

$$\text{Dim [7]. nodo } n+1 = 0,7 \times \text{Dim. nodo } n$$

Se trata de la dimensión longitudinal, aproximadamente, la longitud del canal, esto es, la distancia entre la fuente y el drenador del transistor, si bien a partir del nodo de 22 nm, el nodo ya no corresponde a ninguna dimensión concreta de los dispositivos fabricados, por lo que lo que se presenta en esta nota, es una aproximación. Considerando ahora, la dimensión transversal del transistor de silicio aproximadamente igual a su dimensión longitudinal, se

TABLA 3

Año	Área Nodo	Factor de escalado de Área
2004	8.100 nm <sup>2</sup>	0,6
2006	4.225 nm <sup>2</sup>	0,5
2008	2.025 nm <sup>2</sup>	0,5
2010	1.024 nm <sup>2</sup>	0,5
2012	484 nm <sup>2</sup>	0,5
2014	196 nm <sup>2</sup>	0,4
2016	100 nm <sup>2</sup>	0,5
2018	49 nm <sup>2</sup>	0,5
2020	25 nm <sup>2</sup>	0,5

Fuente: Elaboración propia

llegaría redondeando también a un solo decimal, el factor de escalado de Área, a la tabla 3:

Por lo que puede inducirse, que aproximadamente:

$$\text{Área nodo } n+1 = 0,5 \times \text{Área nodo } n$$

Observando la expresión anterior, a la conclusión que se llega, es a la propia Ley de Moore, es decir manteniendo el mismo número de transistores, el área debe reducirse a la mitad o, dicho de otra forma, los transistores deben duplicarse en la misma área, para que se cumpla la Ley de Moore. Además, es necesario observar que el factor de escalado de Área, es el cuadrado del factor de escalado de Dimensión:

$$0,5 \approx 0,49 = 0,7 \times 0,7 = 0,7^2$$

Lo mismo concluye el catedrático de Electrónica de la Universidad Complutense de Madrid, D. Ignacio Mártir de la Plaza, autor del libro: "Microelectrónica, historia de la mayor revolución silenciosa del siglo XX" en su artículo: "La tecnología microelectrónica en la era del 5G". (5) Se reproduce aquí entrecorillado, lo que interesa del artículo, en relación a lo previamente expuesto:

"¿Por qué ese factor 0,7? Porque lo que se pretende globalmente al cambiar de nodo es reducir el área que ocupan los transistores en el chip a la mitad, de cara a seguir cumpliendo con las predicciones de la Ley de Moore, que es una especie de profecía autocumplida por la industria microelectrónica desde hace más de medio siglo, desde que esta se enunció en 1965. Pero para que eso suceda, es obligatorio reducir no solo la longitud del canal, sino también otras dimensiones, por lo que se deben reducir en igual proporción el largo y el ancho, para que el área del nuevo dispositivo cumpla la ley:

$$\text{Área (Dispositivo nuevo nodo)} = 0,5 \times \text{Área (Dispositivo antiguo nodo)}$$

Eso se logra con ese factor, pues:

$$0,7 \times 0,7 \approx 0,5$$

La reducción de la dimensión alto va por otro camino y en las reglas de escalado de la altura intervienen otros factores que quedan fuera del objetivo de este artículo. Esto implica, efectivamente, una reducción del 50% en el área y, por lo tanto, una duplicación del número de transistores por área en un chip."

Por lo tanto, y desde esta aproximación, la tabla a la que se llegaría a partir de 2020, hasta el final de la Ley de Moore, considerando un factor de escalado de dimensión aproximado de 0,7 entre la dimensión del nodo n+1 y la del nodo n y teniendo en cuenta que el diámetro del átomo de silicio asciende a 0,24 nm, o sea, su radio medio son 120 picómetros y suponiendo que pudiese utilizarse un único átomo de silicio para fabricar un transistor, sería la Tabla 4:

Esta tabla incluye toda la evolución de la nanoelectrónica, la cual tuvo lugar fundamentalmente, a partir del año 2004. Dado por tanto, que el diámetro del átomo de silicio son **0,24 nm**, según esta aproximación y siempre y cuando la tecnología permitiese fabricar en un único átomo un transistor de silicio, tendríamos que el **fin de la Ley de Moore**, se produciría entre los años **2036 y 2038**.

Es más, dado que el tamaño del átomo medio, unos 100 pm, es decir 0,1 nm, es superior al tamaño del átomo de silicio, no se habría entrado todavía en la escala picométrica en el año 2038, ya que el escalado se encontraría en unos 0,20 nm. En definitiva, parece concluirse que, con la tecnología de silicio, no se podría seguir avanzando en una escala picométrica. Para finalizar este apartado y para mayor prudencia, se va a aplicar algo de lo mencionado por Richard Feynman en su célebre conferencia en Japón, cuarenta años después del bombardeo atómico de Nagasaki, sobre los computadores del futuro –*nótese que todavía no se hablaba de computadores cuánticos*–:

"Hay por supuesto una limitación, una limitación práctica, en cualquier caso, y es que los bits deben ser del tamaño de un átomo y un transistor debe tener 3 o 4 átomos".

Teniendo en cuenta la afirmación de Feynman, se tendría que el tamaño de 4 átomos de silicio, sería:

$$0,24 \text{ nm/átomo} \times 4 \text{ átomos} = 0,96 \text{ nm}$$

$$0,96 \text{ nm} \approx 1 \text{ nm}$$

Por lo tanto, según estas afirmaciones de Feynman, el nodo tecnológico final sería el nodo de **1 nm** y el fin de la Ley de Moore, se produciría entonces entre los años **2028 y 2030**. En resumen, según la aproximación expuesta en este apartado, el fin de la Ley de Moore, podría estar en un nodo tecnológico de dimensión entre **1 nm** hasta llegar, en su caso, en el

**TABLA 4**

Año	Nodo	Factor
2004	90 nm	0,7
2006	65 nm	
2008	45 nm	
2010	32 nm	
2012	22 nm	
2014	14 nm	
2016	10 nm	
2018	7 nm	
2020	5 nm	
2022	3,5 nm	
2024	2,5 nm	
2026	1,7 nm	
2028	1,2 nm	
2030	0,84 nm	
2032	0,58 nm	
2034	0,41 nm	
2036	0,28 nm	
2038	0,20 nm	

Fuente: Elaboración propia

límite a **0,24 nm**, y dichos nodos, estarían disponibles entre los años **2028 a 2038**.

Una aproximación posterior, requeriría una caracterización de los nodos tecnológicos de las diferentes compañías en términos de densidad, medida en millones de transistores por mm<sup>2</sup> (MTr/mm<sup>2</sup>), comparándolos con la densidad teórica máxima de cada nodo tecnológico, ya que el número de nm desde hace tiempo corresponde más al marketing que a una realidad física y, aproximadamente, desde el año 2012 y debido a varias discrepancias de marketing y entre las diferentes fábricas de circuitos integrados, el número del nodo en sí, perdió el significado exacto que alguna vez tuvo. Así, a partir del nodo de 22 nm e inferiores, ese número se refiere exclusivamente a una generación específica de chips fabricados con una tecnología determinada, supuestamente superior y más avanzada que la anterior, pero ya no corresponde a ninguna dimensión concreta de los dispositivos fabricados. Pero esto, sería objeto de una aproximación posterior. Baste decir que actualmente TSMC [8] está trabajando en el nodo de 2 nm e IBM asegura haberlo conseguido y es necesario señalar, que si todo sale como han previsto TSMC e IBM, su lanzamiento en el mercado se puede esperar para 2024 o 2025, lo que, en cierta medida, coincide con los resultados de la tabla de la tabla 4 anterior que indican, un nodo de 2,5 nm para el año 2024 aunque dicha tabla es estimativa a partir del año 2020 [9].

En cualquier caso, la tecnología de integración de 2 nm se encuentra cercana, y probablemente, otras grandes compañías de semiconductores no tardarán mucho más en introducir en algunas de sus fundiciones este proceso nanolitográfico. Eso es posible gracias a ASML, una compañía ubicada en Países Bajos que está participada por Philips, y que diseña y fabrica los equipos nanolitográficos que utilizan la mayor parte de los fabricantes de semiconductores en sus fundiciones. De hecho, es proveedora de los cuatro principales fabricantes de semiconductores: TSMC, Samsung, Intel y Global Foundries. La proximidad de la nanolitografía de 2 nm implica irremediablemente un paso más cerca del límite físico impuesto por la tecnología del silicio.

Se pasa ahora a utilizar el criterio de Rayleigh, para ver si lo que, según Feynman, es físicamente posible, pudiera ser también técnica y económicamente viable. En cualquier caso, es necesario señalar que aunque este tipo de tecnologías que se engloban dentro de la categoría *More Moore*, puedan seguir escalando con éxito hasta nodos de 3 o 2 nm o incluso hasta nodos tecnológicos de dimensiones inferiores [10], el coste por transistor está aumentando, lo que hace que se busquen alternativas para continuar incrementando los niveles de integración más allá de las técnicas de nanolitografía (6).

#### APLICACIÓN DEL CRITERIO DE RAYLEIGH ↓

La aproximación que se ha expuesto, está dando por supuesto que la tecnología puede evolucionar hasta conseguir la fabricación de un transistor en un único átomo de silicio, o bien, a partir de tres o cuatro átomos de silicio, como sugería Feynman. En efecto, desde el punto de vista de la física teórica, según Feynman, no hay nada en las leyes de la física que impida hacer con átomos individuales estructuras artificiales como letras. Se puede escribir la Enciclopedia Británica en un punto diminuto y por lo tanto sería posible utilizar un átomo como transistor. Desde este punto de vista, la aproximación expuesta en el apartado anterior, podría llegar a ser cierta, si la tecnología lo llegara a permitir.

Realmente, la posibilidad de fabricar chips en una escala más pequeña que la nanométrica es fundamentalmente un trabajo de física experimental a través de las diferentes técnicas, actualmente las técnicas de nanolitografía. ASML es el mayor productor de las máquinas de nanolitografía que se necesitan para fabricar semiconductores, diseñando y fabricando los equipos nanolitográficos que utilizan la mayor parte de los fabricantes de semiconductores en sus fundiciones. No se entrará en profundidad en este trabajo en el proceso de fabricación. Baste decir que, mediante esta técnica, la fabricación de chips se logra mediante el uso de la luz para proyectar patrones de circuitos en las obleas. En definitiva, el proceso de transferencia de patrones geométricos sobre la superficie de la oblea, es lo que se conoce como fotolitografía y cuando se realiza a

escala nanométrica, se denomina nanolitografía. Actualmente, la tecnología es la nanolitografía ultravioleta extrema, o *extrem ultraviolet* (EUV) por sus siglas en inglés.

La radiación ultravioleta extrema también denominada radiación ultravioleta de alta energía, es una radiación electromagnética en la parte del espectro electromagnético que abarca longitudes de onda de 124 nm a 10 nm, y, por lo tanto, por la ecuación de Planck-Einstein, se basa en fotones con energías de 10 eV [11] hasta 124 eV correspondientes a longitudes de onda entre 124 nm a 10 nm, respectivamente. La EUV es generada naturalmente por el sol y artificialmente por las fuentes de luz de plasma y sincrotrón. Como los rayos ultravioleta C [12] se extienden a 100 nm, existe cierta superposición en los términos. Sus usos principales son la espectroscopia fotoelectrónica, la obtención de imágenes solares y la litografía. En el aire, EUV es el componente más absorbido del espectro electromagnético, por lo que requiere un alto vacío para la transmisión (7).

La proximidad de la nanolitografía de 2 nm acerca irremediablemente un paso más al límite físico impuesto por la tecnología del silicio, por lo que es el momento idóneo para introducir la ecuación que refleja cuáles son los parámetros que condicionan la miniaturización de los elementos que dan forma a un circuito integrado: el criterio de Rayleigh. Esta ecuación es la biblia de ASML y mediante ella, se van a determinar los parámetros necesarios para la fabricación de un nodo tecnológico de una determinada dimensión, denominada dimensión crítica, en términos de un coeficiente, de la longitud de onda de la luz que incide sobre la oblea y de la apertura numérica de la óptica utilizada por el equipo nanolitográfico.

Más en concreto, ésta es la ecuación conocida como criterio de Rayleigh:

$$CD = k_1 \cdot \frac{\lambda}{NA}$$

Donde:

CD, procede de la expresión inglesa *critical dimension*, e identifica en qué medida es posible miniaturizar los componentes que conforman un circuito integrado. Evidentemente, la **dimensión crítica CD**, es el parámetro a reducir. En la práctica, los fabricantes, y en especial ASML, dedican una cantidad ingente de recursos al desarrollo de tecnologías que permitan reducirla.

El factor  $k_1$  es un **coeficiente** que está delimitado por los parámetros físicos que condicionan el proceso de fabricación de semiconductores, siendo  $k_1 = 0,25$  el límite físico que impone la nanolitografía de silicio, por lo que, los fabricantes hacen todo lo posible para refinar su tecnología y aproximar este coeficiente tanto como sea posible a este valor límite. El siguiente parámetro, identificado por la letra

griega lambda  $\lambda$ , indica la **longitud de onda** de la luz utilizada en el proceso de fabricación de los semiconductores. Uno de los desafíos más importantes a los que se enfrentan las compañías consiste, precisamente, en reducir la longitud de onda de la luz para, así, incrementar la resolución del proceso nanolitográfico. No obstante, cada paso hacia delante requiere poner a punto nuevos equipos nanolitográficos, nuevas fuentes de luz, generalmente se utiliza luz ultravioleta, nuevos elementos ópticos, nuevos materiales fotorresistentes, y también un nuevo procedimiento de fabricación. En definitiva, cada vez que una fundición reduce la longitud de onda de la luz que proyecta sobre sus obleas, se ve obligada a cambiar la mayor parte de su equipamiento y de su proceso de fabricación.

Por último, en el denominador, aparece el parámetro **apertura numérica** o *numerical aperture NA*, que identifica el valor de apertura de la óptica utilizada por el equipo litográfico. En este contexto, este parámetro refleja esencialmente lo mismo que el valor de apertura cuando se habla de la óptica de una cámara de fotos, por lo que condiciona la cantidad de luz que los elementos ópticos son capaces de recoger, cuanto más luz recaben, mejor.

Como conclusión a la que puede llegarse después de analizar la información que proporciona el criterio de Rayleigh, es que para incrementar la resolución del proceso nanolitográfico es necesario refinar los tres parámetros  $k_1$ ,  $\lambda$  y **NA** de la parte derecha de la ecuación.

Cuando TSMC, Intel, Samsung o Global Foundries, entre otros fabricantes de semiconductores, anuncian que tienen a punto una nueva tecnología de integración, anuncian que han conseguido reducir la longitud de onda  $\lambda$  de la luz que utilizan en sus procesos nanolitográficos, refinar sus elementos ópticos para incrementar su capacidad de recoger luz: **NA**, y posiblemente también, que han logrado acercarse más al límite físico que impone la fotolitografía del silicio en cuanto al coeficiente  $k_1$ . Es decir:  $k_1 = 0,25$  (8).

Se realiza ahora una aplicación del criterio de Rayleigh, con el objeto de estimar los tres parámetros de la ecuación, en función del nodo tecnológico. Se parte del nodo de 5 nm, ya conseguido a nivel industrial, para estimar también los parámetros de los nodos de 3 nm, de 2 nm, de 1 nm, de 0,75 nm, de 0,50 nm y de 0,25 nm, nodo que sería aproximadamente el correspondiente al fin de la Ley de Moore, puesto que como ya se ha mencionado, la dimensión del átomo de silicio son 0,24 nm y, por tanto, en el nodo de 0,25 nm, se habría llegado prácticamente al límite físico de la tecnología de silicio.

Considerando que  $k_1 = 0,25$ , esto es que se ha conseguido el límite físico del coeficiente  $k_1$  y que  $\lambda$  al tratarse de nanolitografía ultravioleta extrema (EUV) que utiliza ondas extremadamente cortas, exponiendo a las obleas a una radiación de onda correspon-

diente a la del ultravioleta extremo, para crear chips de gran densidad, se tendría que:

$$\lambda = 10 \text{ nm}$$

Se ha considerado, por tanto, el valor inferior del rango correspondiente al ultravioleta extremo (EUV) que oscila entre longitudes de onda entre 124 y 10 nm (9). Es muy importante tener en cuenta también que, a menores longitudes de onda, se entraría en el rango de los rayos X, que son bastante más energéticos que la radiación ultravioleta, lo que haría que pudiesen atravesar medios sólidos con relativa facilidad, y de esta forma traspasar los substratos impidiendo que pudiesen grabarse los detalles en la oblea (10), por lo que es necesario señalar también que las máquinas de nanolitografía EUV deben estar herméticamente protegidas porque la radiación llega, como se ha mencionado, casi al rango de los rayos X y puede ser dañina para las personas.

Por tanto, la dimensión crítica CD al fijar el coeficiente:  $k_1 = 0,25$  y la longitud de onda:  $\lambda = 10 \text{ nm}$ , sería:

$$CD = 0,25 \cdot \frac{10 \text{ nm}}{NA}$$

Entonces:

$$CD = \frac{2,5 \text{ nm}}{NA}$$

En la tabla 5 se refleja, el valor del parámetro **apertura numérica**, para las dimensiones críticas consideradas:

La tabla de la fig. 5 muestra un hecho ya contrastado, puesto que las máquinas de nanolitografía EUV de ASML, están evolucionando hacia lo que se denomina **High-NA EUV lithography**, esto es hacia la nanolitografía de ultravioleta extremo con alto valor de apertura numérica. Pero la pregunta, sería ahora, ¿podría la tecnología basada en la nanolitografía de ultravioleta extremo de alta apertura numérica, llegar a conseguir valores de **NA = 10** y de esta forma, llegar al límite físico?, es decir, ¿es posible llegar a una dimensión crítica de **0,25 nm**?, ¿es esto factible?

Evidentemente, no es una cuestión sencilla de resolver. Considerando que, en óptica, la apertura numérica **NA** de un sistema óptico, es un número adimensional que caracteriza el rango de ángulos sobre los cuales el sistema puede aceptar o emitir luz, la apertura numérica estaría determinada por la siguiente ecuación:

$$NA = n \cdot \sin \alpha$$

Siendo  $n$  el índice de refracción y  $\alpha$  el semiángulo del cono que se forma entre un punto de la oblea y la lente frontal del objetivo. De esta ecuación, se deduce rápidamente que si el semiángulo  $\alpha$  se hiciese cada vez mayor, tendiendo en el límite a 90:  $\alpha \rightarrow 90^\circ$  entonces, el seno del semiángulo tendería a 1:

TABLA 5

Dimensión crítica (CD)	Apertura numérica (NA)
5 nm	0,50
3 nm	0,83
2 nm	1,25
1 nm	2,50
0,75 nm	3,33
0,50 nm	5,00
0,25 nm	10,00

Fuente: Elaboración propia

sen  $\alpha \rightarrow 1$  y la apertura numérica máxima dependería entonces, del índice de refracción del medio entre la lente y la oblea:

$$NA_{\text{máx}} = n$$

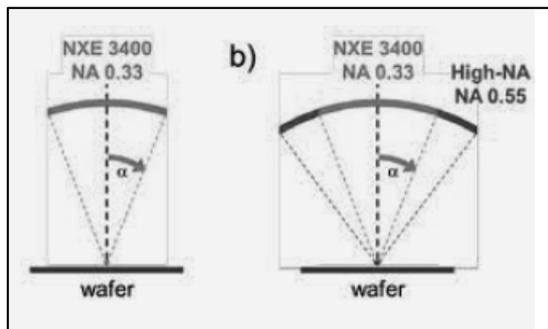
El índice de refracción  $n$ , en el caso de que el medio entre la lente y la oblea sea el vacío [13] sería igual a 1, y en el caso de que fuese agua, sería mayor:  $n \approx 1,33$ . Por lo que **NA** nunca puede ser mayor que 1 si el vacío es el medio que se encuentran entre la muestra y la lente. El concepto de apertura numérica, se puede comprender mejor si se observa la figura 1:

Más allá, del valor que la tecnología pueda llegar a conseguir para la apertura numérica **NA**, se detalla ahora el estado del arte de la nanolitografía, que se encuentra en gran parte unido a la referida compañía ASML, que es el mayor productor de las máquinas que se necesitan para fabricar semiconductores y son los únicos que producen los equipos con litografía ultravioleta extrema, indispensable para crear chips de 7 nm y 5 nm, los cuales van destinados a Samsung y TSMC, principalmente. Cualquier incidente en su cadena o en su entorno puede condicionar al resto de la industria. Una buena muestra es lo ocurrido cuando EEUU, en su campaña contra SMIC [14], ralentizó una serie de permisos de exportación a ASML, algo que impactó en la producción de la firma china.

El desarrollo de procesadores en litografías cada vez más pequeñas precisa de mucha investigación y desarrollo (I+D) y de máquinas muy especiales. Disminuir el tamaño de los transistores es cada vez más complicado y requiere de maquinaria con gran precisión. Como ya se ha mencionado, ASML es el principal fabricante de estas máquinas y además de no ser precisamente económicas tampoco son fáciles de transportar. Normalmente se desmontan en partes y se vuelven a montar en el destino, un proceso bastante complejo.

La compañía holandesa ya ha empezado a distribuir las NXE 3400B y NXE 3400C, una versión mejorada, esta última. Ambas máquinas comparten la

**FIGURA 1**  
**APERTURA NUMÉRICA CON NA=0,33 Y NA=0,55**



Fuente: High-NA EUV lithography: pushing the limit (11)

estructura básica, pero la NXE 3400C tiene un diseño modular. El diseño de la NXE 3400C está pensado para facilitar el mantenimiento y para reducir los tiempos de reparación, pasando de 48 horas de promedio a un máximo de 10 horas. Estas máquinas son compatibles con las nanolitografías de 7 nm y 5 nm. Además, pueden procesar hasta 175 obleas por hora frente a las 125 obleas del NXE 3400B. Pero la compañía continúa innovando y acaba de anunciar que en 2021 lanzará los modelos de 2 nm EUV y 1 nm EUV.

Según la fórmula de resolución de la máquina de nanolitografiado, cuanto mayor es el valor **NA** de la apertura numérica, mayor es la precisión. EXE 5000, como se ha denominado a la máquina de 2 nm y 1 nm, tiene un **NA** (12) de 0,55, mientras que la NXE 3400C tiene un **NA** (13) de 0,33. ASML destaca que EXE 5000 estará sobre todo enfocada a nanolitografías posteriores a los 3 nm. TSMC y Samsung de momento no han dado fecha para el nodo de 1 nm, ya que se encuentra en fase de investigación y desarrollo teórico. Luego se pasará a la fase de test en laboratorio, pero para hacer test de laboratorio se necesitará una máquina operativa. (14) Finalmente destacar que si bien en 2021, ASML iniciara la comercialización de la EXE 5000, falta todavía bastante para que se encuentren plenamente operativas. Las primeras unidades serán prototipos para investigación y perfeccionamiento. Los modelos comerciales para producción masiva podrían tardar hasta cinco años en llegar al mercado. Cada paso hacia delante requiere, por tanto, poner a punto nuevos equipos nanolitográficos, nuevas fuentes de luz, nuevos elementos ópticos, nuevos materiales fotorresistentes, y también un nuevo procedimiento de fabricación.

En definitiva, cada vez que una fundición reduce la longitud de onda de la luz que proyecta sobre sus obleas se ve obligada a cambiar la mayor parte de su equipamiento y su proceso de fabricación: nuevos equipos nanolitográficos, nuevas fuentes de luz y elementos ópticos, etc. Visto el estado del arte a fecha 2021, se vuelve a aplicar el criterio de Rayleigh

con **NA** = 0,33 y con **NA** = 0,55. Es necesario señalar que la longitud de onda de la tecnología de ASML ha evolucionado desde  $\lambda = 193 \text{ nm}$  a  $\lambda = 13,5 \text{ nm}$ , si bien actualmente todavía, la longitud de onda  $\lambda$  no ha llegado a los 10 nm que se proponían al principio de este apartado con el objeto de minimizar la dimensión crítica. Por, lo tanto con  $\lambda = 193 \text{ nm}$  la aplicación del criterio de Rayleigh, resultaría:

$$CD = 0,25 \cdot \frac{193 \text{ nm}}{NA}$$

Entonces:

$$CD = \frac{48,25 \text{ nm}}{NA}$$

Por lo que aplicando la ecuación anterior, para **NA** = 0,33 [15] y para **NA** = 0,55, la dimensión crítica, se indica en la Tabla 6:

Por lo que la evolución hacia una longitud de onda  $\lambda = 13,5 \text{ nm}$ , supone un paso de gigante:

En efecto:

$$CD = 0,25 \cdot \frac{13,5 \text{ nm}}{NA}$$

Entonces:

$$CD = \frac{3,375 \text{ nm}}{NA}$$

Por lo que aplicando la ecuación anterior para **NA** = 0,33 [16] y para **NA** = 0,55, la dimensión crítica, se indica en la Tabla 7:

Con independencia de los valores concretos que se obtienen mediante la aplicación del criterio de Rayleigh, resulta claro que la dimensión crítica mínima que puede obtenerse, es mediante  $k_1 = 0,25$  y  $\lambda = 10 \text{ nm}$ . En cuanto a la apertura numérica, esta debe intentar maximizarse y ello depende tanto del índice de refracción  $n$  como del semiángulo  $\alpha$  de apertura. En definitiva, el parámetro crítico que condicionaría llegar al último nodo tecnológico depende de la óptica, en concreto del parámetro apertura numérica **NA**. La nanolitografía de inmersión, un proceso por el cual se coloca una capa muy fina de agua debajo de la lente de proyección con el fin de mejorar la resolución y la profundidad de enfoque (15), podría con  $\alpha \rightarrow 90^\circ$ , y dado que  $n=1,33$  conseguir valores de apertura numérica **NA**  $\approx 1,33$ , con lo que se podría llegar con  $k_1 = 0,25$  y  $\lambda = 10 \text{ nm}$ , a la dimensión crítica de la Tabla 8:

Según D. Miguel Ángel Sánchez Quintanilla, profesor titular de Electromagnetismo de la Universidad de Sevilla, para superar las dificultades del proceso nanolitográfico, actualmente se trabaja en sustituir la radiación electromagnética (EUV) por haces de electrones, que pueden enfocarse hasta regiones de tamaño

TABLA 6

Apertura numérica (NA)	Dimensión crítica (CD)
0,33	146 nm
0,55	88 nm

Fuente: Elaboración propia

mucho más pequeño. Pero usar un haz de electrones tiene el inconveniente de que hay que "pintar" los elementos de un transistor uno a uno, un proceso demasiado lento, ya que un microprocesador actual alberga miles de millones de transistores. Por tanto, el futuro de esta nueva técnica dependerá de que se puedan controlar muchos haces de electrones en paralelo, tantos como sean necesarios para reducir el tiempo de fabricación de un circuito a valores razonables. (16) Los haces de electrones quizás permitirían llegar al límite de 0,24 nm, refinando todavía más las técnicas nanolitográficas EUV. Finalmente, desde el punto de vista económico, señalar que las primeras máquinas de nanolitografía EUV de 3 nm, entregadas por ASML tienen un coste cercano a los 1.000 millones de euros por máquina (17).

#### LA CADENA DE SUMINISTRO ¶

Antes de pasar a describir la cadena de suministro haciendo referencia a las principales compañías, es necesario, dado que la transformación digital y la transición ecológica se encuentran interrelacionadas entre sí, hacer una consideración de carácter medioambiental, ya que los procesos de fabricación de chips a escala nanométrica, utilizan millones de litros de agua a diario, con su consiguiente repercusión en el medioambiente y también hay que tener en cuenta los materiales altamente tóxicos y venenosos con los que trabajan, como la fosfina. Hay una sensibilidad diferente en unos países y en otros hacia este tipo de instalaciones.

Respecto a las principales compañías es necesario distinguir si se trata de un IDM o *Integrated Device Manufacturer*, fabricante de dispositivos integrados que diseña, fabrica y vende circuitos integrados realizando, por tanto, el proceso completo, si se trata de una *fabless*, que realiza solamente diseño o si se trata de una *foundry*, también llamada *pure fab*, que realiza solamente fabricación sin diseño, ni conceptualización, ya que el problema es que la fabricación está en manos de unas pocas compañías y se lleva a cabo de una forma lenta, costosa pero imprescindible para muchas industrias como las de la electrónica de consumo y las de la automoción. Hace dos décadas había grandes fabricantes de circuitos integrados que hacían todo el proceso. A día de hoy, sin embargo, cuando se habla, por ejemplo, de fabricar chips para móviles, la cosa está repartida entre tres actores básicamente. Por una parte, TSMC, una *foundry* que solo fabrica. Por otra,

TABLA 7

Apertura numérica (NA)	Dimensión crítica (CD)
0,33	10 nm
0,55	6 nm

Fuente: Elaboración propia

TABLA 8

Apertura numérica (NA)	Dimensión crítica (CD)
1,33	1,9 nm ≈ 2 nm

Fuente: Elaboración propia

los integradores o IDM, que hacen todo el proceso, que son Samsung e Intel.

TSMC es una *foundry* o *pure fab* localizada en Taiwan (18). Samsung es un conglomerado de empresas multinacionales con sede en Seúl, Corea del Sur. A partir de la década de 1990 se produjo su expansión internacional a través de su rama de electrónica, en particular en electrodomésticos, teléfonos móviles y semiconductores (19).

Intel, es el mayor fabricante de circuitos integrados del mundo según su cifra de negocio anual. (20) Se dice que el proceso lento de 10 nm de Intel alcanza una densidad comparable a la de otros procesos de 7 nm. La cuarta gran empresa es GlobalFoundries, (GF), una fundición de semiconductores estadounidense con sede en Santa Clara, California, Estados Unidos (21), pero ha perdido mucho peso.

IBM al contrario que Intel no tiene fundiciones propias, pero diseña chips e invierte mucho en el diseño de nuevos nodos de fabricación que licencia a terceros. Por lo que su modelo de negocio es diferente al de TSMC, Samsung e Intel. Lo que ha hecho IBM es diseñar las normas de un nuevo nodo de fabricación y luego ha creado un chip de muestra, el cual se trata de un diseño que reúne todos los elementos comunes en el diseño de un procesador contemporáneo y lo ha recreado utilizando una versión experimental de su nodo de 2 nm. Realmente, IBM dice haber conseguido el nodo de 2 nm, pero este anuncio es una demostración de que el *hardware* seguirá escalando de cara a los siguientes 5 años como lo ha hecho siempre y de forma continuada, pero a su vez, dicho anuncio genera una serie de incógnitas dado que el número de nm desde hace tiempo corresponde más al marketing que a una realidad física. El chip de muestra que ha sido fabricado con el nodo de 2 nm de IBM tiene una densidad de 333 MTr/mm<sup>2</sup>.

Hay que tener en cuenta que la densidad de los transistores depende de lo que se construya con

ellos y que la memoria es mucho más densa que la lógica, por lo que no todas las áreas del procesador fabricado por IBM en su nodo experimental de 2 nm tienen dicha densidad. Otras empresas importantes *fabless*, es decir que solo realizan diseño, son Nvidia y Qualcomm que diseñan procesadores, tarjetas gráficas, etc. y externalizan su fabricación.

Pero, si la fabricación es tan importante, ¿por qué no hay más compañías fabricantes o integradores que realicen el proceso completo? porque ello obligaría a invertir miles de millones de euros en fábricas que en cinco años están obsoletas y, además, una instalación de tamaño medio que puede suponer una inversión inicial de 10.000 a 12.000 millones, habría que esperar tres o cuatro años para tenerla plenamente operativa. Por si ello no fuera poco, serían necesarias importantes cantidades de dinero, cada poco tiempo, para mantener los equipos, actualizarlos o comprarlos, así como inversiones de miles de millones de euros en I+D, para estar en la carrera de los semiconductores más vanguardistas. Por eso, en situaciones como la actual, actores como los *pure fabs* prefieren centrarse en los chips más avanzados, que suponen un menor volumen, pero dejan más margen en sus cuentas. Eso ha hecho, por ejemplo, que se prioricen los pedidos de compañías tecnológicas por encima de los de los automóviles.

Entre TSMC y Samsung suman el 43% de la capacidad mundial de producción. Si se le suma el 15% que actualmente maneja China [17], y el otro 15% de Japón, más de 7 de cada 10 chips salen de esta parte del mundo, siendo tal la concentración que hay en estos países que recuerdan a la OPEP, los países productores de petróleo. Cualquier decisión o suceso que allí suceda tiene consecuencias. Realmente, este sector, se encuentra dominado por muy pocas empresas y ello se debe, no solo a hechos como las deslocalizaciones industriales, por motivos de costes salariales, sino también al hecho de que se trata de tecnología punta, no solo a nivel de diseño sino principalmente a nivel del proceso de fabricación.

A nivel de fabricación, es necesario citar la Ley de Rock o segunda Ley de Moore que afirma que cada cuatro años, el coste de las plantas de producción de chips basados en semiconductores (*fabs*, *foundries*, etc.) se duplican, elevando de forma exponencial el precio de producción de cada chip que llega al mercado. El planteamiento de este trabajo, dadas las altas inversiones y el riesgo tecnológico y comercial que hay que afrontar para mantenerse en la punta de lanza de la tecnología de silicio, ha sido realizar una aproximación al límite dimensional y temporal del último nodo tecnológico y posteriormente, intentar determinar su viabilidad técnica mediante la aplicación del criterio de Rayleigh y económica teniendo en cuenta un coste aproximado de unos 1000 millones de euros por cada máquina de nanolitografía en el nodo más avanzado.

Mientras que una parte de la escasez de chips ha sido provocada por el fuerte aumento en la demanda de bienes tras el shock de demanda provocado por la covid, no puede olvidarse que hay factores estructurales de demanda como el avance de nuevas tecnologías con una enorme necesidad de chips, tales como el 5G y los vehículos eléctricos. Esta parte más estructural, es la que estará empujando los precios de los chips durante mucho más tiempo, representando un problema importante para la inflación. La escasez de chips, supone una auténtica llamada de atención a la fragilidad de la cadena de suministro a nivel global.

Si bien es cierto que en varios países se está trabajando también con la idea de que, si los líderes del sector se están centrando en las tecnologías más vanguardistas, hay espacio para hacer negocio con tecnologías ya maduras por seguir estando muy demandadas, los fabricantes de chips están ya invirtiendo en nueva capacidad productiva, pero lleva años tener finalizadas nuevas fábricas, por ello, este problema se puede alargar hasta el año 2022 o incluso más. En este sentido, conviene recordar que la producción de microchips, supone una enorme inversión de miles de millones anuales también en I+D, lo que ha provocado una concentración en el mercado, disminuyendo el número de fabricantes, concentrándose principalmente en TSMC y Samsung, por lo que ya no se producen las guerras de precios anteriores y estos fabricantes cada vez son más exigentes con sus clientes. Evidentemente el modelo *fabless* centrado en el diseño y no en la fabricación requiere menos inversiones y costes de personal.

De la inteligencia artificial a los vehículos eléctricos, el mundo está avanzando hacia una nueva era en la que los semiconductores se han convertido en un insumo clave, como lo fue el petróleo en la última revolución industrial. Por si esto no fuese suficiente, los chips han adquirido un papel crítico en la narrativa sobre la seguridad de la cadena de suministro en plena competición estratégica entre Estados Unidos y China. Establecer la relación entre la industria de los semiconductores y la geoconomía es cada vez más relevante para el mundo, en particular para Asia. El continente asiático es la mayor fuente de demanda de chips, especialmente China. Este también fue el caso del petróleo, cuya súbita escasez causó inflación a nivel global en las dos grandes crisis petroleras de 1979 y 1981.

Una pregunta importante para entender mejor las tendencias inflacionistas a nivel mundial, es si el fuerte aumento en la demanda de chips es temporal. Por el momento, la situación es mucho más simple: la escasez de chips añadirá presión a las tensiones inflacionistas [22] y numerosos sectores están sufriendo esta escasez, principalmente el sector de la automoción, donde las necesidades de chips derivadas del vehículo eléctrico, del coche conectado y del coche autónomo serán cada vez mayores, el

sector de los electrodomésticos, el sector de las videoconsolas, a la vez que se disparado una necesidad urgente de equipos informáticos, conexiones de banda ancha, refuerzo de teléfonos móviles, ordenadores portátiles y tablets, así como domótica, microondas, almacenamiento en la nube, inteligencia artificial, etc.

Cualquier dispositivo necesita uno o varios y en ocasiones, muchos microchips, para poder funcionar. En definitiva, la escasez se deriva de una confluencia de factores: la necesidad de un mayor desarrollo tecnológico, la globalización y una pandemia mundial como la provocada por el coronavirus. Para comprender los movimientos que se están produciendo hay que comprender que este negocio es global e interconectado y que todos, en mayor o menor medida, dependen de todos (23).

Según los expertos, el asunto es mucho más complejo a medida que se estudian sus distintas vertientes y todo indica que los parones de la producción son sólo la punta del iceberg de una problemática que es mucho más compleja, y que podría resumirse en la dependencia de la industria mundial del automóvil, especialmente en Europa y América de los fabricantes y proveedores asiáticos, tanto en la fabricación de los cada vez más necesarios microchips y circuitos integrados, como en otros elementos como las baterías para eléctricos, microhíbridos e híbridos enchufables. La falta de microchips semiconductores está provocando un efecto dominó a nivel mundial, afectando a las cadenas de producción de coches, electrodomésticos y teléfonos móviles, y, en consecuencia, también a sus consumidores.

## CONCLUSIONES ¶

Como conclusiones hay que señalar que además de una ley empírica, la Ley de Moore, está asociada a una historia de éxito, que comenzó en el año 1965 y que continúa a fecha de 2021. El cumplimiento de esta Ley durante ya cerca de 60 años, es un ejemplo de superación, de innovación incremental, desde un nodo tecnológico, hasta el siguiente de tecnología mucho más avanzada y hasta llegar, quién sabe, si hasta el límite de lo físicamente posible, hasta la misma dimensión física del átomo de silicio. El vicepresidente de Intel, Stacy J. Smith, explicó que, si el progreso de otras disciplinas hubiera avanzado al ritmo de la ley de Moore, ya se podría viajar trescientas veces más rápido que la velocidad de la luz, alimentar a la población mundial con un solo kilómetro cuadrado de terreno o viajar al Sol usando solo unos litros de gasolina. Son ejemplos imposibles, pero que dan una idea de la rapidez, el bajo consumo y la densidad de transistores conseguida (24).

De hecho, Feynman en su conferencia en Japón, anteriormente mencionada, sobre los computadores del futuro señala como únicas limitaciones físicas de los computadores las siguientes (25):

1. Las limitaciones en tamaño al tamaño de los átomos.
2. Los requisitos energéticos dependientes del tiempo.
3. Y una característica concerniente a la velocidad de la luz: no se pueden enviar señales más rápidas que la velocidad de la luz.

Estas eran las únicas limitaciones físicas que conocía Feynman para los computadores. Actualmente, la física cuántica, ya no señala la velocidad de la luz como una limitación, lo que va permitir a la computación cuántica ofrecer comunicaciones instantáneas. Ciertamente, el entrelazamiento cuántico, permite que dos o más partículas cuánticas puedan encontrarse vinculadas entre sí de tal modo que el cambio en el estado de una partícula se refleje instantáneamente en la otra, independientemente del espacio que las separe. Albert Einstein pensaba que esto era imposible y denominaba al entrelazamiento cuántico "acción fantasmagórica a distancia", ya que el entrelazamiento cuántico implica que las partículas se comunican a una velocidad superior a la de la luz. Sin embargo, ha sido demostrado experimentalmente en numerosas ocasiones en los laboratorios Bell. Además, el entrelazamiento cuántico no entra en contradicción con la teoría de la relatividad especial, según la cual la máxima velocidad posible es la velocidad de la luz en el vacío. La medición del estado de un cúbit, que es la unidad básica de información en computación cuántica, de forma análoga al bit en computación clásica, determina automáticamente el estado del segundo u otros cúbits entrelazados con el primero y, por lo tanto, no existe transmisión superlumínica de información, y quizás, la razón última sea que las partículas que representan un cúbit, comparten una misma función de onda.

Entonces, es posible tener un conjunto de partículas relacionadas las unas con las otras, de manera que se comporten como un solo sistema y se dice, entonces, que se encuentran entrelazadas. Lo que le pase a una partícula, afectará a las otras, sin importar la distancia que las separe. Por ejemplo, en el laboratorio se puede implementar un sistema cuántico con dos fotones entrelazados de tal forma que uno de ellos tenga spin arriba y otro spin abajo. No sabemos qué spin tiene cada uno. Es aleatorio. Si se mide el spin en uno de los fotones y nos da arriba, automáticamente al medir el otro se obtendrá spin abajo. Los fotones se comunican a distancia, como si hablaran entre ellos de forma instantánea. Lo increíble del caso es que da igual lo lejos que estén uno del otro, sin importar en absoluto la distancia que los separe.

Pero para finalizar y volviendo a la Ley de Moore, es necesario insistir en que se puede saber todo lo que hay que saber sobre el mundo y, sin embargo, no se puede predecir con perfecta preci-

sión lo que sucederá después, por lo que la aproximación presentada en la presente nota, podría ser más o menos acertada y solamente el futuro despejará, en última instancia, el fin de la Ley de Moore. El nodo final, es una cuestión que atañe no solo a la física, sino a la evolución de la tecnología de fabricación, ya que la posibilidad de fabricar chips en una escala nanométrica más pequeña, es fundamentalmente un trabajo de física experimental y de ingeniería, a través de las diferentes técnicas, actualmente las técnicas de nanolitografía y no es una cuestión trivial, sino más bien una industria *high-tech*, que podría explicar parcialmente por qué Intel ha estado trabajando en su tecnología de 10 nm durante mucho más tiempo de lo esperado. Ciertamente, los semiconductores son extremadamente complejos de fabricar, las instalaciones que se requieren para eso son muy especializadas y conllevan una inversión importante, por no mencionar que los chips cada vez más pequeños y con mayor rendimiento, suponen un reto cada vez mayor para los fabricantes. Actualmente, las técnicas de nanolitografía se están acercando al límite, y en caso de que el factor de apertura numérica no permita llegar al límite mismo de la dimensión física del átomo de silicio, existen alternativas a estudiar, como los haces de electrones, enfocables hasta regiones de tamaño mucho más pequeño.

Sin embargo, la experiencia ha demostrado que cuando la fabricación se deslocaliza hacia países con salarios mucho más bajos, no solo se pierde un número incalculable de puestos de trabajo, sino que se rompe la cadena de la experiencia que es fundamental para el desarrollo tecnológico, puesto que la I+D y la fabricación no solamente se encuentran interrelacionadas, sino que se retroalimentan y ello provoca que abandonar la fabricación de un producto [18] aunque se trate de un "*commodity*", pueda significar quedarse fuera de la industria emergente del mañana.

Pero crear una planta para fabricar chips de última generación no está al alcance de todos. Por eso, países que desde tiempo atrás activaron políticas industriales, con incentivos o atractivo para este tipo de actividad, están muy posicionados o lo van a estar, como es el caso de China si se cumplen las predicciones. El shock en la cadena mundial de suministro ha despertado las inquietudes no solo en Estados Unidos, sino también en Europa. [19] A fecha de 2021, la industria se encuentra en la franja de los 5 nm y pelea por llegar a los 3 nm. Son trabajos que se realizan a escala casi atómica. Las técnicas que se utilizan son extremadamente punteras, pero también muy caras. Mientras tanto, es necesario, seguir avanzando también en la computación cuántica. A decir verdad, en palabras de Albert Einstein, las computadoras son increíblemente rápidas, precisas y estúpidas [20]; los humanos son increíblemente lentos, inexactos y brillantes; juntos son poderosos más allá de la imaginación.

## NOTAS

- [1] Cuando se mencione aproximación, entiéndase en adelante, aproximación preliminar. Nótese que preliminar o no, el resultado del presente estudio sería siempre una aproximación.
- [2] Hasta el año 2012, el número que define un nodo representaba la longitud de una región del transistor denominada canal.
- [3] Cuando se mencione en esta nota, la actualidad o actualmente, se trata del año 2021.
- [4] Se utilizará en adelante el símbolo nm para los nanómetros.
- [5] Ver el N° 409 de la Revista Economía Industrial.
- [6] No se considera ya la microelectrónica.
- [7] Dimensión.
- [8] Taiwan Semiconductor Manufacturing Company, Limited o TSMC es una foundry o pure fab localizada en Taiwan, no realiza diseño, solo realiza fabricación
- [9] Desde el año 2004 al año 2020 la tabla indica datos ya contrastados.
- [10] Llegando incluso a la dimensión física de un átomo o de tres o cuatro átomos como se sugiere en esta aproximación preliminar.
- [11] eV, electronvoltio, unidad de energía que representa la variación de energía que experimenta un electrón al moverse entre dos puntos con una diferencia de potencial de un voltio.
- [12] Rayos invisibles que forman parte de la energía que viene del sol, pero junto con los rayos ultravioleta B son absorbidos por la capa de ozono de la tierra, por lo que casi toda la radiación ultravioleta que se recibe en la tierra son rayos ultravioleta A, los conocidos como rayos UVA.
- [13] Como se ha mencionado, la radiación EUV es el componente más absorbido del espectro electromagnético en el aire, por lo que requiere un alto vacío para su transmisión.
- [14] Semiconductor Manufacturing International Corporation (SMIC) es una empresa pública de fundición de semiconductores, la más grande de China.
- [15] En los chips de 10 nm y 14 nm, la luz tiene una longitud de onda de 193 nm. Hay que señalar que en el caso de la longitud de onda de 193 nm, la aplicación del criterio de Rayleigh, no obtiene dimensiones críticas de 10 y 14 nm, sino de 146 y 88 nm aproximadamente.
- [16] Para los chips de 7 nm se usa una luz con una longitud de onda de sólo 13,5 nm. Sin embargo, para el caso de longitud de onda de 13,5 nm si se obtienen dimensiones críticas del orden de los 7 nm, en concreto 10 y 6 nm aproximadamente. En definitiva, las técnicas de nanolitografía de ultravioleta extrema consiguen mediante ondas de longitud de onda más corta abordar la fabricación de transistores de 7 nm y 5 nm.
- [17] Podría ser el principal actor en menos de una década.
- [18] No es el caso de la fabricación semiconductores de tecnología high-tech, al alcance de muy pocos y que hay que buscar formas viables para potenciarla.
- [19] [https://ec.europa.eu/commission/commissioners/2019-2024/breton/blog/how-european-chips-act-will-put-europe-back-tech-race\\_en](https://ec.europa.eu/commission/commissioners/2019-2024/breton/blog/how-european-chips-act-will-put-europe-back-tech-race_en)
- [20] Los primeros sistemas expertos aparecen en los años 60.

REFERENCIAS ↓

- (1) [https://cincodias.elpais.com/cincodias/2021/05/07/companias/1620389812\\_558345.html](https://cincodias.elpais.com/cincodias/2021/05/07/companias/1620389812_558345.html)
- (2) [https://es.wikipedia.org/wiki/Ley\\_de\\_Moore](https://es.wikipedia.org/wiki/Ley_de_Moore)
- (3) <https://en.wikipedia.org/wiki/ITRS>
- (4) <https://en.wikipedia.org/wiki/IRDS>
- (5) <https://blogs.publico.es/ignacio-martil/2021/02/12/la-tecnologia-microelectronica-en-la-era-del-5g/>
- (6) De la micro a la nanoelectrónica. Jose M. de la Rosa. CSIC.
- (7) [https://es.wikipedia.org/wiki/Radiaci%C3%B3n\\_ultravioleta\\_extrema](https://es.wikipedia.org/wiki/Radiaci%C3%B3n_ultravioleta_extrema)
- (8) <https://www.xataka.com/investigacion/criterio-rayleigh-explicado-proximidad-limite-fisico-silicio-nos-recuerda-que-esta-ecuacion-nos-dice-donde-podemos-llegar>
- (9) [https://es.wikipedia.org/wiki/Radiaci%C3%B3n\\_ultravioleta\\_extrema](https://es.wikipedia.org/wiki/Radiaci%C3%B3n_ultravioleta_extrema)
- (10) Los límites de la computación. La frontera de los algoritmos. Miguel Ángel Sánchez Quintanilla. Profesor titular de Electromagnetismo de la Universidad de Sevilla.
- (11) <https://www.spiedigitallibrary.org/conference-proceedings-of-spie/11177/111770B/High-NA-EUV-lithography-pushing-the-limits/10.1117/12.2536469.short>
- (12) <https://www.asml.com/en/technology/lithography-principles/lenses-and-mirrors>
- (13) <https://www.asml.com/en/technology/lithography-principles/lenses-and-mirrors>
- (14) <https://hardwaresfera.com/noticias/hardware/asml-vendra-maquinas-para-las-litografias-de-2nm-euv-y-1nm-euv-en-2021-pero-tardaran-bastante-mas-en-empezar-a-producir/#:~:text=Actualmente%20el%20mayor%20fabricante%20de,su%20sede%20en%20Pa%C3%ADses%20Bajos.>
- (15) <https://www.hoyngrokhonegier.com/es/news-insights/case-studies/asml-y-carl-zeiss-smt-contra-nikon-litografia-de-inmersion/>
- (16) Los límites de la computación. Las fronteras de los algoritmos. Miguel Ángel Sánchez Quintanilla
- (17) <https://elchapusainformatico.com/2021/07/asml-entrega-su-primera-maquina-de-litografia-euv-3nm-por-938-millones-de-euros/>
- (18) <https://es.wikipedia.org/wiki/TSMC>
- (19) <https://es.wikipedia.org/wiki/Samsung>
- (20) <https://es.wikipedia.org/wiki/Intel>
- (21) <https://es.wikipedia.org/wiki/GlobalFoundries>
- (22) [https://blogs.elconfidencial.com/mercados/tribuna-mercados/2021-06-17/semiconductores-el-nuevo-petroleo-cuya-escasez-impulsa-la-inflacion\\_3135527/](https://blogs.elconfidencial.com/mercados/tribuna-mercados/2021-06-17/semiconductores-el-nuevo-petroleo-cuya-escasez-impulsa-la-inflacion_3135527/)
- (23) [https://www.elconfidencial.com/tecnologia/2021-04-12/semiconductores-crisis-guerra-5g-fabricacion\\_3026003/](https://www.elconfidencial.com/tecnologia/2021-04-12/semiconductores-crisis-guerra-5g-fabricacion_3026003/)
- (24) [https://elpais.com/elpais/2017/04/06/talento\\_digital/1491478189\\_608330.html](https://elpais.com/elpais/2017/04/06/talento_digital/1491478189_608330.html)
- (25) El placer de descubrir. Richard P. Feynman. Crítica.